

**Reduced mask process for manufacture of MOS gated devices**

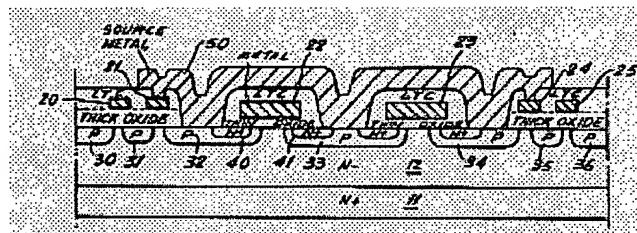
**Patent number:** FR2730859  
**Publication date:** 1996-08-23  
**Inventor:** KINZER DANIEL M; AJIT JANARDHANAN S  
**Applicant:** INT RECTIFIER CORP (US)  
**Classification:**  
- **International:** H01L21/336; H01L21/331  
- **European:** H01L21/336B2, H01L29/06B2B2, H01L29/06B2B2C, H01L29/06B2B3B, H01L29/10G, H01L29/78B2  
**Application number:** FR19960000130 19960108  
**Priority number(s):** US19950390099 19950217

Also published as:

 US5474946 (A1)  
 JP8250512 (A)  
 GB2298086 (A)  
 DE19547756 (A1)

Abstract not available for FR2730859  
Abstract of correspondent: **US5474946**

A process for forming a MOS gated device in which an oxide layer is patterned to have adjacent thick and thin oxide layers atop a silicon surface. Polysilicon is then patterned atop the oxide layer with a critical alignment step to the thin oxide layers in the process. Boron is implanted through both the thick and thin regions of the oxide which are exposed by the polysilicon mask to form P type base regions and P type guard rings in the silicon. Arsenic is thereafter implanted at an energy at which arsenic atoms penetrate only the thin oxide exposed by the polysilicon to form self-aligned source regions in the base regions previously formed. A contact opening mask which is critically aligned to the polysilicon mask forms openings for making contact to the silicon. The device is completed using non-critical alignment masking steps.



Data supplied from the esp@cenet database - Worldwide

(19) RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

(11) N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

2 730 859

(21) N° d'enregistrement national :

96 00130

(51) Int Cl<sup>e</sup> : H 01 L 21/336, 21/331

(12)

## DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 08.01.96.

(30) Priorité : 17.02.95 US 390099.

(43) Date de la mise à disposition du public de la  
demande : 23.08.96 Bulletin 96/34.

(56) Liste des documents cités dans le rapport de  
recherche préliminaire : *Ce dernier n'a pas été  
établi à la date de publication de la demande.*

(60) Références à d'autres documents nationaux  
apparentés :

(71) Demandeur(s) : INTERNATIONAL RECTIFIER  
CORPORATION — US.

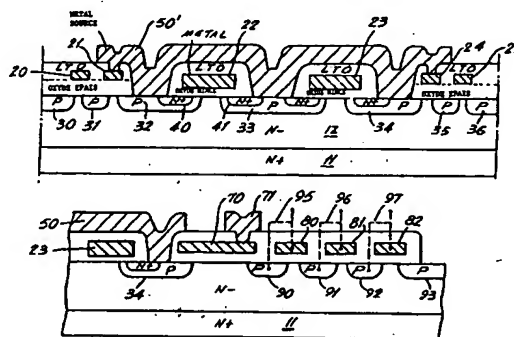
(72) Inventeur(s) : AJIT JANARDHANAN S et KINZER  
DANIEL M.

(73) Titulaire(s) :

(74) Mandataire : CABINET FEDIT LORiot.

### (54) PROCÉDÉ A MASQUAGE REDUIT POUR LA FABRICATION DE COMPOSANTS MOS A GRILLE.

(57) Ce procédé de fabrication d'un composant semiconducteur à grille MOS comprend les étapes consistant à: (a) former une couche d'oxyde de silicium sur une plaquette de silicium; (b) y former par masquage des motifs pour définir des premières zones épaisses (14-16) et des secondes zones (18-19) minces; (c) déposer du polysilicium et y former par masquage des motifs afin de couvrir des troisièmes zones (20-25) et exposer des quatrièmes zones; (d) implanter du bore avec une énergie suffisante pour qu'il pénètre les premières (14-16) et secondes (18-19) zones et forme par diffusion des régions de base (30-36) dans une zone exposée; (e) implanter de l'arsenic avec une énergie suffisante pour qu'il pénètre dans la seconde zone (18-19) mais insuffisante pour pénétrer dans ladite première zone (14-16), de manière à former des régions de source (40-43) dans les régions de base (30-36); (f) et former un contact (50') de source qui contacte les régions de source (40-43) et les régions de base (30-36).



FR 2 730 859 - A1



**PROCÉDÉ A MASQUAGE RÉDUIT POUR LA FABRICATION DE  
5 COMPOSANTS MOS A GRILLE**

**ARRIERE-PLAN DE L'INVENTION**

10 La présente invention concerne des composants à grilles MOS et concerne plus spécifiquement un nouveau procédé qui exploite les différentes gammes d'implantation de certaines impuretés N ou P pour produire un motif de jonction avec moins d'étapes de masquage et seulement deux alignements de masque critiques.

15 Les composants MOS à grille, tels que les MOSFET (transistors à effet de champ) de puissance, les IGBT (transistors bipolaires à grille isolée) et les thyristors MOS à grille sont bien connus. Le procédé le plus fréquemment employé pour la fabrication de ces composants utilise une séquence d'étapes de masquage dans lesquelles beaucoup des masques doivent être soigneusement et de manière critique  
20 alignés les uns avec les autres. Chaque couche de masque dans un procédé augmente le coût de fabrication, et chaque étape de masquage introduit une nouvelle source possible de défauts. De plus, la nécessité d'aligner plusieurs masques avec une précision critique les uns par rapport aux autres ajoute aussi des coûts de fabrication et introduit la possibilité de défauts de fabrication additionnels.

25 Un procédé pour fabriquer de tels composants qui utiliserait un nombre réduit de masques, et un nombre réduit d'alignements critiques entre les masques serait souhaitable puisqu'il réduirait la manipulation des plaquettes, les défauts potentiels et le coût des puces individuelles dans une plaquette.

## RÉSUMÉ DE L'INVENTION

L'objet de l'invention est un procédé de fabrication d'un composant  
semiconducteur à grille MOS, caractérisé en ce qu'il comprend les étapes consistant  
5 à :

(a) former une couche isolante, avantageusement de dioxyde de  
silicium, au-dessus d'une grande surface d'une plaquette de silicium ;

(b) former des motifs sur ladite couche isolante dans une première  
étape de masquage pour définir au moins une première zone qui est plus épaisse  
10 qu'une seconde zone épaissie adjacente à ladite première zone ;

(c) déposer une couche de polysilicium au-dessus ladite couche  
isolante et former des motifs sur ladite couche de polysilicium dans une deuxième  
étape de masquage afin de couvrir et masquer une troisième zone et laisser à  
découvert une quatrième zone de ladite seconde zone ;

15 (d) implanter des atomes d'une première espèce avec une énergie  
suffisante pour qu'ils puissent pénétrer à la fois dans les première et seconde zones  
isolantes et diffuser lesdits atomes implantés de la première espèce pour former au  
moins une région de base dans ladite plaquette de silicium dans une zone laissée  
découverte par ledit polysilicium à motif ;

20 (e) implanter des atomes d'une seconde espèce avec une énergie  
suffisante pour qu'ils puissent pénétrer dans la seconde zone isolante mais  
insuffisante pour qu'ils puissent pénétrer dans ladite première zone isolante, de  
manière à former au moins une région de source dans ladite au moins une région de  
base ;

25 (f) et ensuite former un contact de source qui contacte ladite au moins  
une région de source et au moins une région de base.

Avantageusement, ladite première zone a une épaisseur d'environ 2500 Å et  
ladite seconde zone a une épaisseur de moins d'environ 1000 Å.

Avantageusement, la première espèce est le bore et la seconde espèce est l'arsenic. L'énergie d'implantation du bore est supérieure à environ 80keV et l'énergie d'implantation de l'arsenic est inférieure à environ 80 keV.

5 Le procédé de l'invention comprend avantageusement l'étape consistant à déposer et à former des motifs sur une couche d'oxyde basse température après l'étape (e) dans une étape de masquage avec alignement pour laisser à découvert au moins des portions desdites régions de base et de source avant de former ledit contact de source.

10 Avantageusement encore, une partie de ladite couche de polysilicium à motif recouvre une partie de ladite première zone pour laisser à découvert une zone supplémentaire de ladite première zone afin de définir par diffusion au moins un anneau de garde dans ladite surface de silicium pendant la formation de ladite région de base.

15 Ainsi, selon la présente invention, on forme dans une première étape de masquage une couche d'oxyde ayant des régions adjacentes respectivement minces et épaisses. On forme dans une seconde étape de masquage une couche de polysilicium à motif alignée de façon critique afin de déposer avec précision des couches de polysilicium dans des régions prédéfinies de l'oxyde mince, qui devient l'oxyde de grille d'un composant MOS à grille. Une première espèce d'atome est 20 alors implantée à travers aussi bien l'oxyde mince que l'oxyde épais laissé à découvert par le polysilicium à motif de façon à former des régions de base espacées. Une seconde espèce est ensuite implantée avec une énergie suffisante pour pénétrer seulement dans les régions d'oxyde les plus minces laissées à découvert entre les bords du polysilicium et les bords de l'oxyde plus épais, mais pas l'oxyde 25 plus épais laissé à découvert, pour former des régions de source au sein des bases avec un alignement critique. Après que les régions de base et les régions de source ont été formées comme décrit ci-dessus, on procède à une étape de masquage qui définit les fenêtres de contact dans un oxyde à basse température qui recouvre la

surface de la plaquette. Ce masque est aligné de manière critique avec le masque de polysilicium.

On notera que ce procédé n'a que deux étapes de masquage à alignement critique comme décrit ci-dessus. La première est l'alignement du masque de polysilicium avec le masque précédent qui a défini les régions d'oxyde mince et épais. La seconde est l'alignement du masque des fenêtres de contact avec le masque de polysilicium précédent.

On peut former plusieurs composants PMOS connectés en série pendant les étapes de procédé décrites ci-dessus pour former un dispositif de connexion entourant la zone active du composant.

Plus spécifiquement, pour fabriquer des composants semiconducteurs, on utilise des masques pour former chacune des différentes couches nécessaires au fonctionnement des composants semiconducteurs. Dans la présente invention, en fait, un seul masque définit deux couches. Si l'on prend l'exemple d'un MOSFET de puissance à canal N vertical, le MOSFET de puissance à canal N vertical est constitué fondamentalement de deux régions de diffusion : une région  $N^+$  peu profonde et une région de corps P plus profonde. La teneur en bore (un dopant de type P) dans le dioxyde de silicium est environ cinq fois celle de l'arsenic (dopant de type N). Une épaisseur d'oxyde de 3000 Å peut être pénétrée par une implantation de bore supérieure à environ 80 keV tandis qu'elle servira de masque à l'encontre d'une implantation d'arsenic de moins d'environ 120 keV. Conformément à l'invention, cette propriété est utilisée pour définir à la fois le corps P et les régions  $N^+$  en utilisant une seule couche d'oxyde et un masque de polysilicium (avec élimination du masque source). Le procédé de fabrication du composant comprend ensuite un autre masque critique pour définir toutes les régions de contact. Ce masque et le masque pour définir le motif de polysilicium sont les deux seuls masques qui demandent un alignement critique ou de haute précision.

D'autres caractéristiques et avantages de la présente invention apparaîtront à la lecture de la description suivante de l'invention qui se référera aux dessins annexés.

## 5 BREVE DESCRIPTION DES DESSINS

La figure 1 est une vue en coupe d'une petite partie de plaquette après une première étape de masquage et la définition d'un motif d'oxyde mince et épais.

La figure 2 montre la partie de plaquette de la figure 1 après un second  
10 masquage utilisé pour former le motif de la couche de polysilicium imposant un alignement critique par rapport au premier masque.

La figure 3 montre la partie de plaquette de la figure 2 après implantation d'une région de base à travers les régions d'oxyde mince et épais et l'étape de diffusion des régions de base du composant.

La figure 4 montre la partie de plaquette de la figure 3 à la suite de  
15 l'implantation de la région de source à travers uniquement l'oxyde mince laissé à découvert, afin de former les régions de source et le recuit de ces régions.

La figure 5 montre la partie de plaquette de la figure 4 à la suite du dépôt d'une couche intermédiaire d'oxyde et la formation de fenêtres de contact par un  
20 masque qui est aligné avec une précision critique par rapport au masque de polysilicium.

La figure 6 montre la partie de plaquette de la figure 5, à la suite du dépôt du métal de source, et la formation de motif du métal de source par une étape de masquage non critique.

La figure 7 montre l'utilisation de composants PMOS connectés en série en  
25 tant que dispositif de connexion pour le composant décrit.

La figure 8 montre l'utilisation d'anneaux à champ flottant avec des plaques de champ en tant que dispositif de connexion pour le composant décrit.

## DESCRIPTION DÉTAILLÉE DE L'INVENTION

En se référant d'abord à la figure 1, on y montre une petite partie d'une plaquette monocristalline 10 présentant une partie de substrat 11 relativement épaisse et une partie 12 relativement mince obtenu par dépôt épitaxial. Les régions 11 et 12 sont montrées comme étant de type N pour la fabrication d'un composant à canal N, mais les types de conductivité peuvent être inversés pour former un composant à canal P.

La présente invention peut aussi être utilisée en relation avec n'importe quelle topologie de composant, telle qu'une topologie cellulaire, comme décrite dans le brevet des États-Unis 5.008.725 ou une topologie interdigitée, comme décrite dans le brevet des États-Unis 4.376.286. De plus, l'invention peut être utilisée pour la fabrication de tout type désiré de composant à grille MOS, tels que les MOSFET, les IGBT, les thyristors à grille MOS, et analogues.

Dans le mode de réalisation décrit, on décrit un MOSFET de puissance à canal N de topologie interdigitée. Sur la figure 1, on fait d'abord croître une couche d'oxyde épais, d'une épaisseur d'environ 3000 Å, au-dessus de la couche épitaxiale 12. Cet oxyde est ensuite revêtu d'un photorésist, le résist reçoit un motif avec un premier motif de masque (non montré) et l'oxyde épais est attaqué pour former les bandes espacées parallèles épaisses 14, 15 et 16. On peut utiliser n'importe quel nombre de bandes 14, 15 et 16 et elles peuvent s'étendre autour de trajets parallèles prédéterminés. Ces régions peuvent aussi avoir la forme de polygones fermés espacés.

On refait croître ensuite les bandes d'oxyde mince 18 et 19 sur la surface de silicium jusqu'à une épaisseur de 500 Å par exemple. Ces régions 18 et 19 sont situées entre les régions épaisses 14-15 et 15-16 respectivement. Des parties des régions 18 et 19 définiront finalement l'oxyde de grille pour le composant. Les régions minces et les régions épaisses peuvent avoir d'autres épaisseurs que respectivement 500 Å et 3000 Å, et leurs épaisseurs sont choisies en se fondant sur

les caractéristiques désirées de grille, les espèces d'ions à planter pour former les régions P et N et l'énergie d'implantation à utiliser.

On fait croître ensuite une couche de polysilicium au-dessus de la surface du composant comme montré sur la figure 2 et on y dépose un photorésist sur lequel on  
5 forme des motifs par un second masque qui est aligné de façon critique, c'est-à-dire très précisément, sur le premier masque qui a défini la position des parties épaisses et minces 14, 15, 16, 18 et 19. Le polysilicium est ensuite attaqué, ce qui laisse des bandes 20, 21, 22, 23, 24 et 25 en place. Les bandes 22 et 23 sont les grilles des composants à grille MOS qu'on fabrique et sont situées avec précision de façon  
10 centrale au-dessus des régions d'oxyde de grille mince 18 et 19, en définissant des intervalles d'environ deux micromètres à partir des côtés de chacune des régions adjacentes d'oxyde épais et de 5 micromètres de large.

Les bandes de polysilicium 20-21 et 24-25 sont espacées par un intervalle d'environ 3 micromètres. Les bandes 20, 21, 24 et 25 et les autres bandes adjacentes,  
15 non décrites, vont former des anneaux de garde et des diffusions ainsi qu'on va le voir plus loin.

Ensuite, comme on le voit sur la figure 3, on effectue une implantation de bore, en utilisant les bandes de polysilicium 20 à 25 comme masque, avec une énergie suffisante pour pénétrer à la fois les couches d'oxyde laissé à découvert  
20 épais et mince 14, 15, 16, 18 et 19. Par exemple une implantation de bore à une énergie d'environ 80 keV ou plus peut être utilisée à une dose de  $7 \times 10^{13} \text{ cm}^{-2}$ . D'autres espèces que le bore peuvent être utilisées en alternative. L'énergie utilisée pour l'implantation est déterminée en partie par l'épaisseur de l'oxyde épais. Cette implantation est suivie d'une mise en diffusion à  $1175^\circ\text{C}$  pendant 30 minutes,  
25 comme montré sur la figure 3, pour former les régions de type P 30 à 36. On notera que les régions 30, 31, 35 et 36 sont des sections des anneaux de garde qui bornent les régions de base actives 32 et 34.

Ensuite, et comme montré sur la figure 4, on plante de l'arsenic dans la surface de silicium, en utilisant les mêmes bandes de polysilicium 20 à 25 comme

masques. L'énergie choisie pour l'implantation d'arsenic (ou de toute autre espèce choisie) est suffisante pour pouvoir pénétrer les régions d'oxyde de grille laissé à découvert mince 18 et 19, mais elle est bloquée par les régions d'oxyde laissé à découvert plus épais. L'arsenic, à une énergie de 80 keV et une dose de  $1E16$ , atteint le silicium sous-jacent et forme des bandes sources  $N^+$  40, 41, 42 et 43 dans les bases 32, 33 et 34.

Comme montré ensuite sur la figure 5, on dépose une couche d'oxyde basse température (LTO) 50 au-dessus de la plaquette de la figure 4 jusqu'à une épaisseur d'environ 7000 Å. Le LTO reçoit ensuite un motif lors d'une seconde étape de masquage critique (par rapport au masque de polysilicium) pour former des fenêtres de contacts 60 à 64. Des fenêtres 60 et 64 laissent à découvert les surfaces des anneaux 21 et 24, des fenêtres 61 et 63 découvrent les surfaces des régions P 32 et 34, respectivement, et les sources 40 et 43, respectivement, et une fenêtre 62 découvre les surfaces de la base 33 et des sources 41 et 42.

On notera que si la topologie choisie pour le composant de la figure 5 est une topologie en forme d'anneaux, la base 33 peut avoir une forme polygonale, avec les sources 41 et 42 qui sont des sections à travers une source annulaire unique, et des bases 32 et 34 qui sont des sections à travers une base unique qui est concentrique à la base 33, et des anneaux 31 et 35 qui sont des sections à travers un anneau unique également concentrique à la base 33.

Ensuite et comme montré sur la figure 6, un métal de source 50' est déposé au-dessus de la surface de la figure 5 pour former le contact des anneaux 21 et 24 qui bornent la zone active du composant et des régions de base 32, 33 et 34 et leurs sources 40, 41-42 et 43, respectivement. Ensuite, un motif de métal est défini, en utilisant une quatrième étape de masquage, non critique.

La figure 7 montre l'utilisation de plusieurs composants PMOS connectés en série qui peuvent être utilisés pour borner la zone active du composant de la figure 6. Ces anneaux sont formés pendant les mêmes étapes que celles qui sont utilisées pour former la zone active des composants.

Ainsi, sur la figure 7, une plaque de champ de polysilicium 70 qui peut entourer la zone active est formée pendant l'étape d'attaque du polysilicium. Un bus de grille 71 est fixé à la plaque 70, laquelle est continue avec la zone de grille de polysilicium pleine dans le composant actif. Des anneaux de polysilicium 80, 81 et 82 peuvent aussi être formés pendant l'étape d'attaque du polysilicium pour le composant actif. Des anneaux de type P 90 à 93 sont diffusés pendant l'étape de la figure 3 et sont définis par des motifs de polysilicium 70, 80, 81 et 82. De petits contacts, montrés de façon schématique par les lignes de tirets 95, 96 et 97 connectent les régions P 90, 91 et 92 aux grilles 80, 81 et 82 des trois composants PMOS montrés, court-circuitant les électrodes de source et de grille de chaque composant PMOS. Ainsi les tensions de seuil des trois composants PMOS sont connectées en séries pour borner le composant. N'importe quel nombre désiré de composants PMOS peut être utilisé, en fonction de la tension à borner.

L'agencement de la figure 7 montre une structure de dispositif de connexion dans laquelle les anneaux ou bandes 90, 91 et 92 sont court-circuités pour limiter la tension aux tensions de seuil du composant. La figure 8 montre une autre structure de dispositif de connexion dans laquelle chacun des anneaux de polysilicium 80, 81 et 82 est court-circuité à l'anneau P 91, 92 et 93 le suivant respectivement à droite, en limitant la tension à la tension de transpercement entre les anneaux P et en dépolarisant les composants PMOS. De petits contacts, montrés schématiquement sur la figures 8 par les lignes de tirets 195, 196 et 197 connectent les régions P 91, 92 et 93 aux anneaux de champ de polysilicium 80, 81 et 82. On peut aussi utiliser une combinaison des deux structures de dispositif de connexion ci-dessus.

Les contacts de court-circuit utilisés sont de préférence seulement espacés de manière éparse autour des anneaux et les emplacements des contacts sont définis pendant l'étape initiale de masquage des contacts. Ainsi on peut disposer des contacts de petite surface 95, 96 et 97 dans un angle d'une puce rectangulaire. Les contacts de petite surface 95, 96 et 97 peuvent être séparés du métal de source pendant l'étape de masquage du métal.

Bien qu'on ait décrit la présente invention en l'illustrant de modes de réalisation particuliers, il va de soi pour l'homme du métier qu'on pourra y apporter de nombreuses variantes et modifications sans s'écarter de l'esprit de l'invention.

## REVENDICATIONS

1. Procédé de fabrication d'un composant semiconducteur à grille MOS,  
5 caractérisé en ce qu'il comprend les étapes consistant à :

(a) former une couche isolante au-dessus d'une grande surface d'une  
plaquette de silicium ;

(b) former des motifs sur ladite couche isolante dans une première  
étape de masquage pour définir au moins une première zone (14-16) qui est plus  
10 épaisse qu'une seconde zone (18-19) épaissie adjacente à ladite première zone ;

(c) déposer une couche de polysilicium au-dessus ladite couche  
isolante et former des motifs sur ladite couche de polysilicium dans une deuxième  
étape de masquage afin de couvrir et masquer une troisième zone (20-25) et laisser à  
découvert une quatrième zone de ladite seconde zone ;

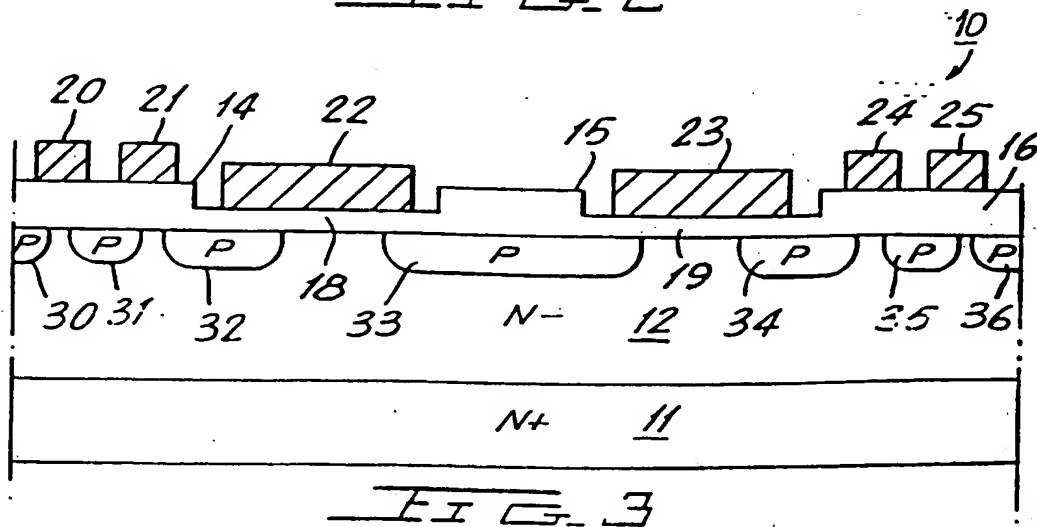
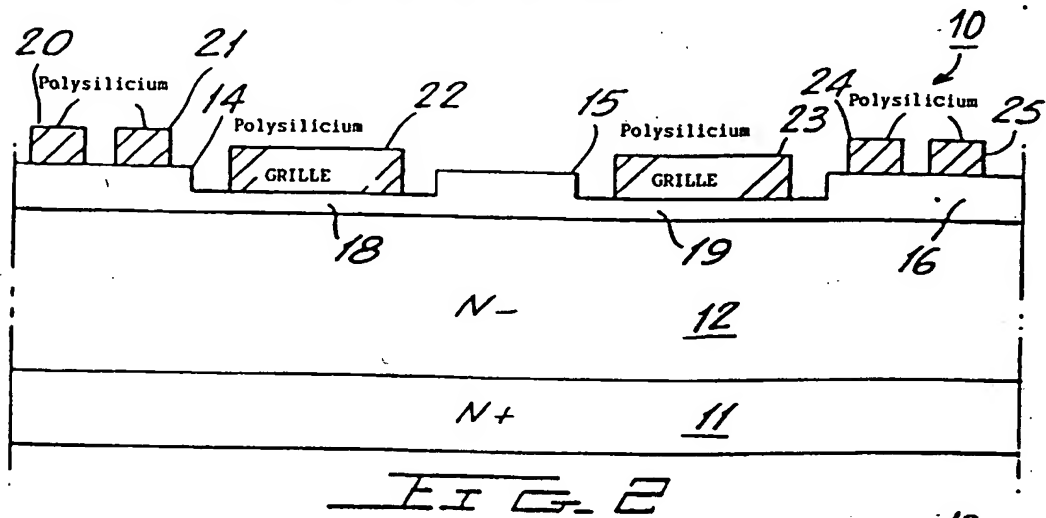
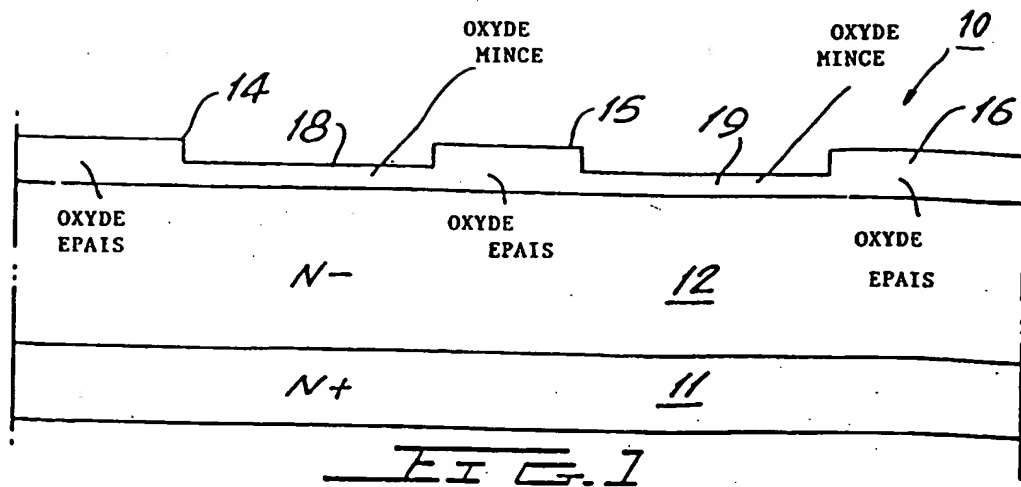
15 (d) implanter des atomes d'une première espèce avec une énergie  
suffisante pour qu'ils puissent pénétrer à la fois dans les première (14-16) et seconde  
(18-19) zones isolantes et diffuser lesdits atomes implantés de la première espèce  
pour former au moins une région de base (30-36) dans ladite plaquette de silicium  
dans une zone laissée à découvert par ledit polysilicium à motif ;

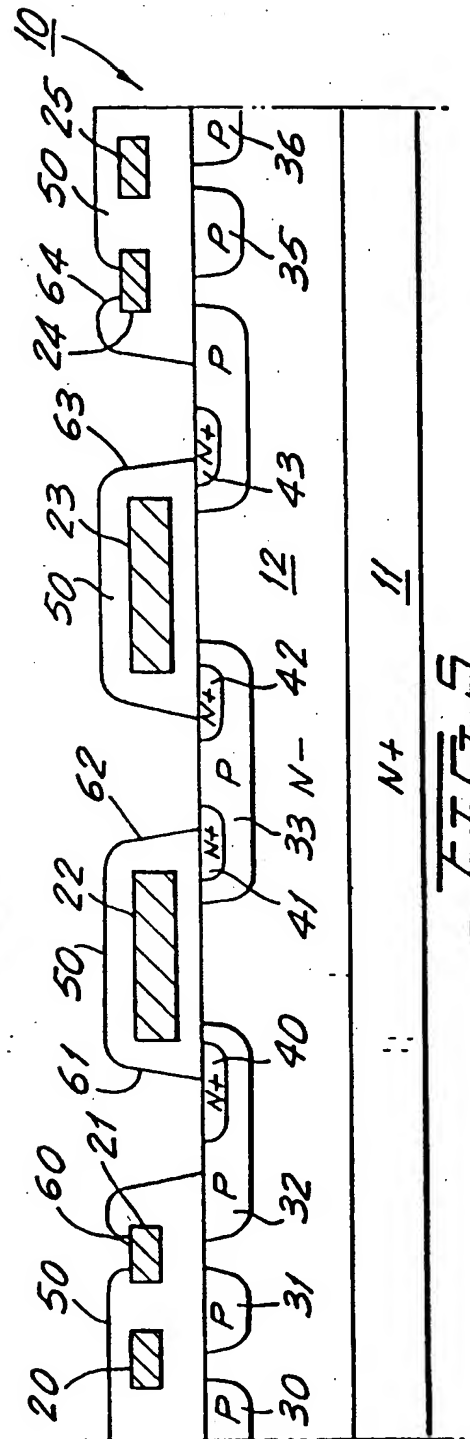
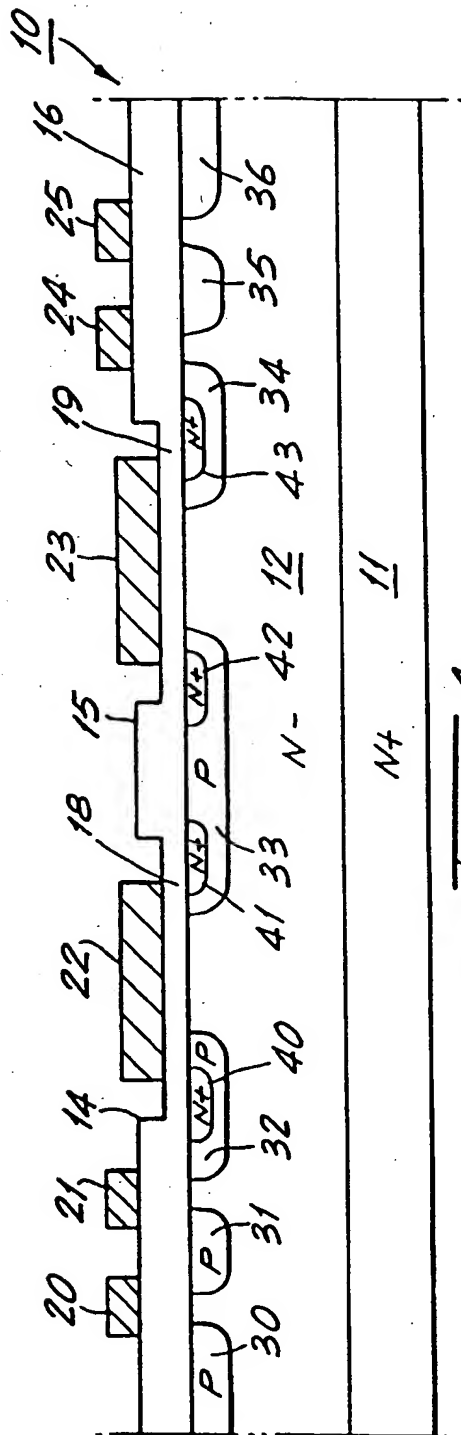
20 (e) implanter des atomes d'une seconde espèce avec une énergie  
suffisante pour qu'ils puissent pénétrer dans la seconde zone isolante (18-19) mais  
insuffisante pour qu'ils puissent pénétrer dans ladite première zone isolante (14-16),  
de manière à former au moins une région de source (40-43) dans ladite au moins  
une région de base (30-36) ;

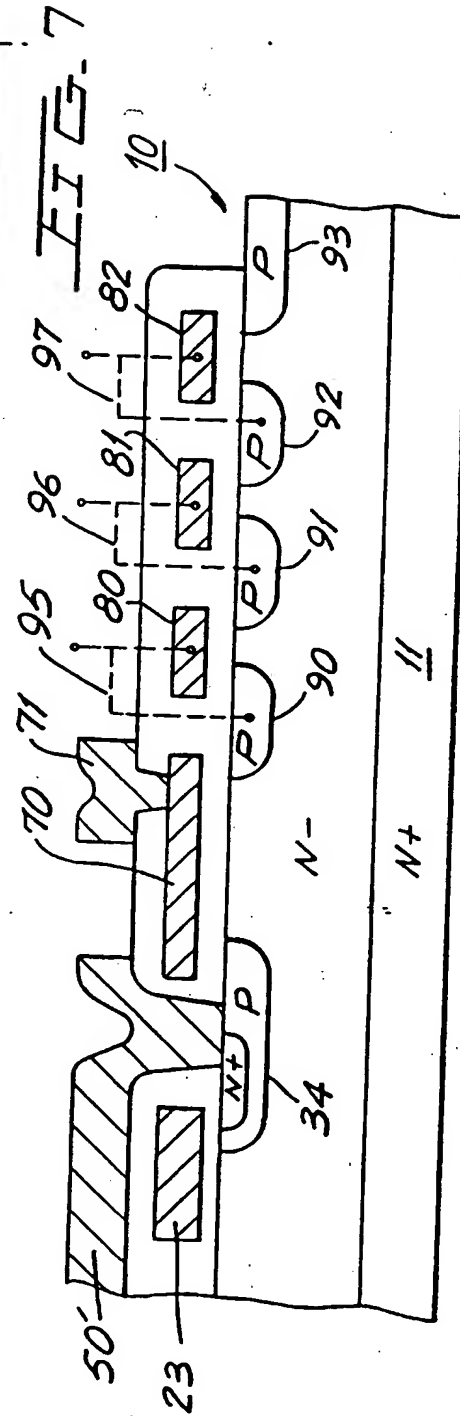
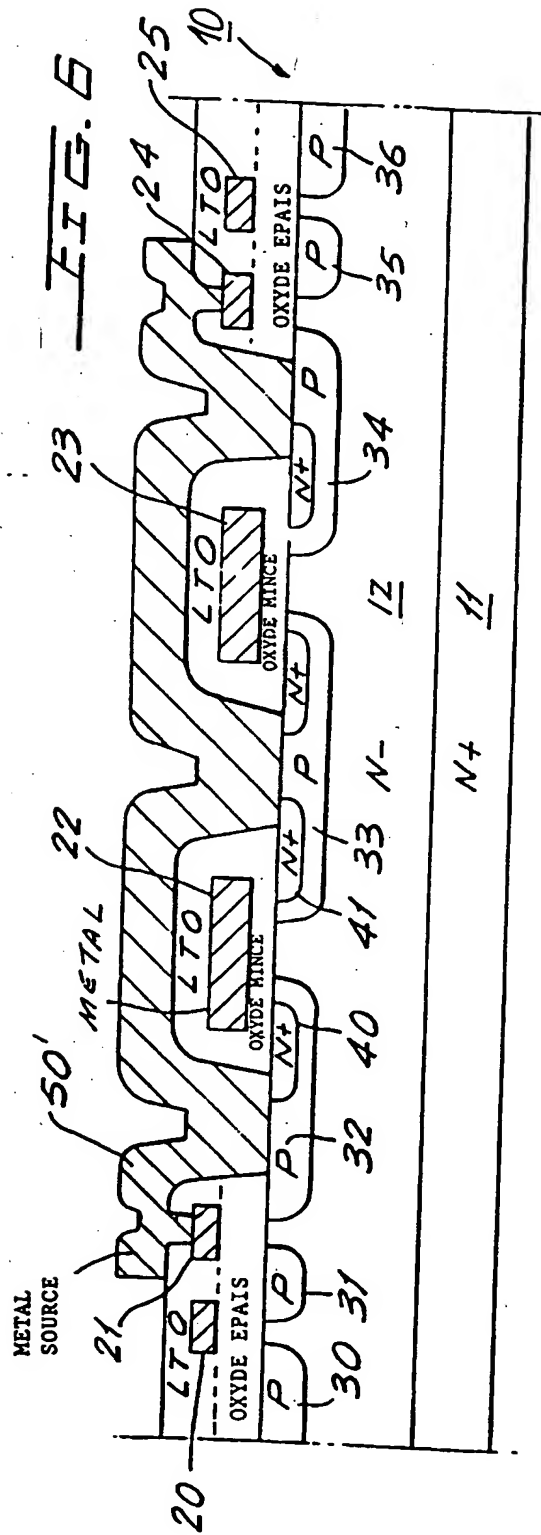
25 (f) et ensuite former un contact (50') de source qui contacte ladite au  
moins une région de source (40-43) et au moins une région de base (30-36).

2. Procédé selon la revendication 1, caractérisé en outre en ce que la couche  
isolante est une couche de dioxyde de silicium.

3. Procédé selon l'une quelconque des revendications 1 et 2, caractérisé en outre en ce qu'on forme plusieurs premières (14-16) et secondes (18-19) zones adjacentes dans ladite couche isolante, de manière à former finalement plusieurs régions de base (30-36) et régions de source (40-43) adjacentes.
4. Procédé selon l'une quelconque des revendications 2 et 3, caractérisé en outre en ce que ladite première zone (14-16) a une épaisseur d'environ 2500 Å et ladite seconde zone (18-19) a une épaisseur de moins d'environ 1000 Å.
5. Procédé selon l'une quelconque des revendications 1 à 4, caractérisé en outre en ce que la première espèce est le bore et la seconde espèce est l'arsenic.
6. Procédé selon la revendication 5, caractérisé en outre en ce que l'énergie d'implantation dudit bore est supérieure à environ 80keV et l'énergie d'implantation dudit arsenic est inférieure à environ 80 keV.
7. Procédé selon l'une quelconque des revendications 1 à 6, caractérisé en outre en ce qu'il comprend l'étape consistant à déposer et à former des motifs sur une couche d'oxyde (50) basse température après l'étape (e) dans une étape de masquage avec alignement pour laisser à découvert au moins des portions desdites régions de base et de source avant de former ledit contact (50') de source.
8. Procédé selon l'une quelconque des revendications 1 à 7, caractérisé en outre en ce qu'une partie (70, 80-82) de ladite couche de polysilicium à motif recouvre une partie de ladite première zone pour laisser à découvert une zone supplémentaire de ladite première zone afin de définir par diffusion au moins un anneau de garde (90-93) dans ladite surface de silicium pendant la formation de ladite région de base.







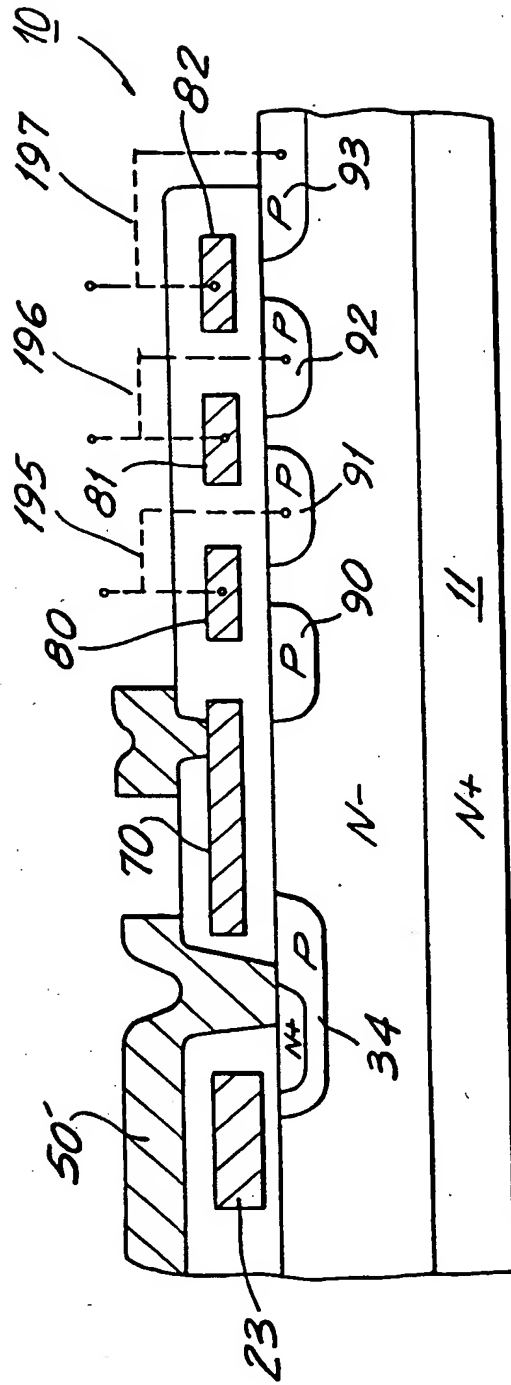


FIG. 4